

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-316415

(43)Date of publication of application : 29.11.1996

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 07-124875

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 24.05.1995

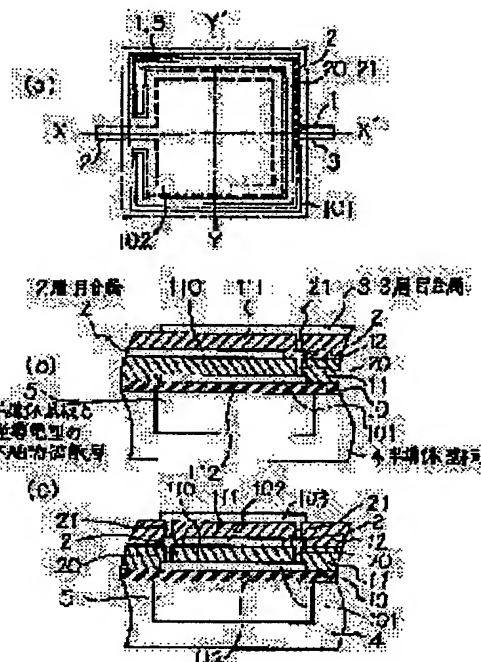
(72)Inventor : TANIMOTO SUSUMU

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To reduce the area of a capacitor for an analog circuit without complicating a manufacturing process, by forming a capacitor element as the constitution wherein the whole part of a central electrode composed of a second metal layer is surrounded by the other electrode.

**CONSTITUTION:** On a silicon substrate 4, the following are formed; a silicon oxide film 10 for element dielectric isolation, an interlayer insulating film 11 between a first metal layer 1 and a second metal layer 2, an interlayer insulating film 12 between the second metal layer 2 and a third metal layer 3, and an opposite-conductivity-type well diffusion layer 5 in the floating state which is formed on the silicon substrate 4 just under a capacitor electrode. A capacitor 110 is formed in a part where a lowermost electrode 101 and the other electrode 102 overlap each other. The electrode 101 consists of the first metal layer 1 and the second metal layer 2 which are patterned. A capacitor 111 is formed in a part where an electrode 103 formed by patterning the third metal layer 3 and the electrode 102 overlap each other. Thereby the whole part of one electrode is surrounded by the other electrode, so that the area of a capacitor can be reduced without complicating the process.



## LEGAL STATUS

[Date of request for examination] 24.05.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2693928

[Date of registration] 05.09.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316415

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl.<sup>6</sup>

H01L 27/04

21/822

識別記号

庁内整理番号

F I

H01L 27/04

技術表示箇所

C

審査請求 有 請求項の数 7 O L (全 14 頁)

(21) 出願番号

特願平7-124875

(22) 出願日

平成7年(1995)5月24日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会  
社

神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 谷本 晋

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

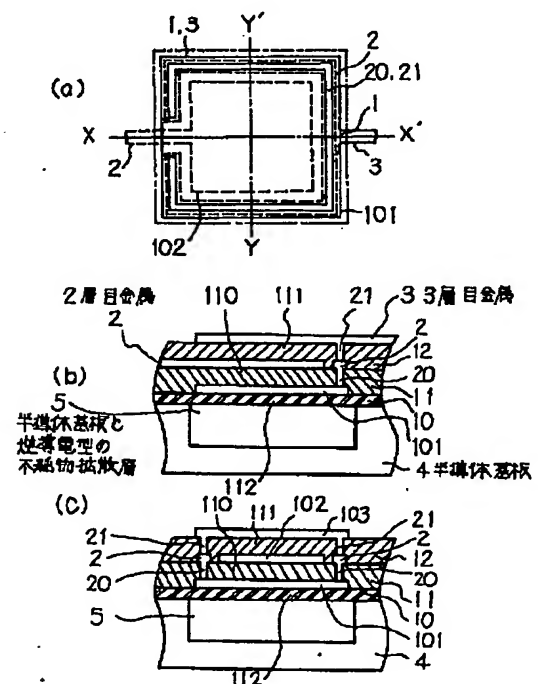
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 アナログ回路用容量素子の小面積化を図る半導体集積回路を提供し、それを用いたアナログ・デジタル混在半導体回路の高速化を図る。

【構成】 容量素子を2層目の金属層からなる中央の電極をもう一方の電極で上下および四方の全てを囲む構成とする。これにより、容量の一方の電極に付く他の信号線等との間の寄生容量を完全に0にすることが出来るため、製造プロセスを複雑化することなくアナログ回路用容量の小面積化が出来る。また、電極直下の基板表面上に基板と逆導電型の不純物拡散層を設け、その不純物拡散層をフローティングまたは高抵抗でバイアスすることにより1、3層目金属からなる電極側の寄生容量(対基板容量)を小さくできる。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された導体層と、この導体層の下方の前記第1導電型の半導体基板表面に形成された第2導電型の不純物拡散層を有し、前記第2導電型の不純物拡散層が電気的に非接続であることを特徴とする半導体集積回路。

【請求項2】 第1導電型の半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された導体層と、この導体層の下方の前記第1導電型の半導体基板表面に形成された第2導電型の不純物拡散層を有し、前記第2導電型の不純物拡散層が高抵抗で定電圧源に接続されていることを特徴とする半導体集積回路。

【請求項3】 前記高抵抗がオフ状態のMOSFETであることを特徴とする請求項2記載の半導体集積回路。

【請求項4】 複数の積層された導体層を有し、前記導体層の奇数番目の層が同電位となる様に接続された容量素子を持つ半導体集積回路において、前記導体層の少なくとも1辺に平行配置したピアホールにより、前記容量素子となる前記導体層の最下層とこの最下層以外の奇数番目の層を接続することを特徴とする半導体集積回路。

【請求項5】 前記容量素子を第1導電型の半導体基板表面に形成された電気的に非接続の第2導電型の不純物拡散層上に絶縁膜を介して形成したことを特徴とする請求項4に記載の半導体集積回路。

【請求項6】 前記容量素子を第1導電型の半導体基板表面に形成された高抵抗で定電圧源に接続される第2導電型の不純物拡散層上に絶縁膜を介して形成したことを特徴とする請求項4に記載の半導体集積回路。

【請求項7】 前記容量素子を、第1導電型の半導体基板表面に形成されたオフ状態のMOSFETで定電圧源に接続される第2導電型の不純物拡散層上に絶縁膜を介して形成したことを特徴とする請求項4に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に、多層配線構造を有する容量素子を含む半導体集積回路に関する。

【0002】

【従来の技術】 従来の半導体集積回路において、製造プロセスを複雑化することなく形成出来る容量素子としては図11(a)、図11(b)に示すような配線層間容量素子が周知である。図11(a)は容量素子の平面図で、図11(b)はそのX-X'線での断面図である。

【0003】 この容量素子310は通常のアルミ1層配線のシリコンゲートCMOSプロセスで形成出来るものであり、LOCOS法等でシリコン基板4上に形成した絶縁分離酸化膜10上に高濃度に不純物をドーピングされたゲートポリシリコン層1をパターンニングして一方の電

極301を形成し、層間絶縁膜11を形成した後、その上にアルミ層2をパターンニングして他方の電極302を形成する。電極301電極302とが重なった部分に、層間絶縁膜11を容量絶縁膜とする容量素子310が形成される。しかし、このように形成した容量素子310では近傍を通過する他のゲートポリシリコン信号配線またはアルミ信号配線と本容量素子310の電極との間に形成される寄生容量の大きさが容量素子310の大きさに対して無視出来ないものとなる。そのため、アナログ回路等にこの容量素子310を用いた場合、他の信号、特にデジタル信号からの外乱を上述の寄生容量を通して受けるため、他の信号配線を容量素子310から大きく離すか、または電極301と電極302との重なり部分、つまり、容量素子310の面積を大きくする必要があり、チップ面積が大きくなるという問題があった。

【0004】 電源配線等の電位の安定した配線で容量素子310の周囲をシールドすることにより解決する場合もあるが、現在のアナログ・デジタル混在のCMOS大規模集積回路では、内部の電源配線は必ずしも電位が安定しているわけではなく、内部回路の状態変化時に発生する過渡的電流によって、ノイズ源と化すものであり、これも十分ではない。また、シールド配線の外側の信号線からの影響も無視出来ない場合がある。

【0005】 容量素子310に対して、前述した寄生容量の容量値が無視出来ないものとなる理由は、容量素子310の容量絶縁膜が層間絶縁膜11であることによる。層間絶縁膜11は本来、配線層間、例えば、ゲートポリシリドアルミ間の電気的分離を目的とし、従って、その間の容量をも十分小さくすることがその役目である。そのためその膜厚は十分に厚く設定されている。通常、同層の配線間隔、つまり、ゲートポリシリコン間隔またはアルミ間隔の最小設計基準値と同程度か、または、それ以上の値に設定される。従って、層間絶縁膜11を容量絶縁膜とする容量素子310の単位面積当りの容量値とその容量素子310の近傍の配線との間の単位対向面積当りの容量値とはほぼ同等な大きさとなる。

【0006】 このため前述したように、他の信号配線と容量素子310を大きく離すか、または、容量素子310の面積を大きくする必要が生じる。従って、容量部分の面積を小さくするためには、単位容量値を十分に大きくして、通常の配線間容量値が無視出来るようにしなければならない。そのため従来のアナログ・デジタル混在CMOS集積回路では、容量素子形成用の製造プロセス工程を追加して、容量絶縁膜の薄膜化等を行っていた。

【0007】 ゲート酸化膜を容量絶縁膜としたMOS容量素子を用いれば、バイアス条件によっては、単位容量値の大きい容量素子を、製造プロセス工程の追加をすることなく得られるが、バイアス依存性が大きく、通常、アナログ回路には用いることは出来ない。

【0008】金属またはゲートポリシリ配線層を合わせて3層以上有するプロセスで、工程追加をすることなく単位容量を増加させる技術は、例えば特開昭59-55049号公報に開示されている。これを図12を参照して説明する。図12(a)はその平面図であり、図12(b)は図12(a)のX-X'線での断面図である。1はパターンニングされた1層目の金属層を示し、2、3も同様にパターンニングされたそれぞれ2、3層目の金属層を示す。10はLOCOS法等で形成された絶縁分離酸化膜、11は1層目と2層目の金属層間の層間絶縁膜、12も同様に2層目と3層目の金属層間の層間絶縁膜である。420および421はそれぞれ1層目と2層目および2層目と3層目の金属層を接続するビアホール部分を示す。

【0009】この従来技術の容量素子は、絶縁膜11をはさんで1層目の電極401と2層目の電極402とが重なった部分からなる容量素子410と絶縁膜12をはさんで2層目の電極402と3層目の電極403とが重なった部分からなる容量素子411とが並列接続される

$$\epsilon_0 \cdot \epsilon_s \cdot (1\text{m})^2 / (7 \times 10^{-7}\text{m}) = 4.93 \times 10^{-5} \text{F/m}^2$$

となる。

【0011】次に、2層目と3層目の重なった部分から

$$\epsilon_0 \cdot \epsilon_s \cdot (1\text{m})^2 / (1 \times 10^{-6}\text{m}) = 3.45 \times 10^{-5} \text{F/m}^2$$

間隔P1μmで隣接した1層目金属間同志の単位長さ当りの容量値は、

$$\epsilon_0 \cdot \epsilon_s \cdot (3 \times 10^{-7}\text{m}) / (P1 \times 10^{-6}\text{m}) \\ = 1.04 \times 10^{-11} \times P1^{-1} (\text{F/m}^2)$$

間隔P2μmで隣接した2層目金属間同志の単位長さ当りの容量値は、

$$\epsilon_0 \cdot \epsilon_s \cdot (6.5 \times 10^{-7}\text{m}) / (P2 \times 10^{-6}\text{m}) \\ = 2.24 \times 10^{-11} \times P2^{-1} (\text{F/m}^2)$$

最後に、間隔P3μmで隣接した3層目金属間同志の単位長さ当りの容量値は、

$$\epsilon_0 \cdot \epsilon_s \cdot (8 \times 10^{-7}\text{m}) / (P3 \times 10^{-6}\text{m}) \\ = 2.76 \times 10^{-11} \times P3^{-1} (\text{F/m}^2)$$

ここで、 $\epsilon_0$ は真空の誘電率でその値は $8.85 \times 10^{-12} (\text{F/m})$ 、 $\epsilon_s$ はシリコン酸化膜の比誘電率でその値は3.9とした。

$$4.93 \times 10^{-5} \text{F/m}^2 + 3.45 \times 10^{-5} \text{F/m}^2 \\ = 8.38 \times 10^{-5} \text{F/m}^2$$

となる。よって、図12に示すような構造で一辺qμmの正方形の容量C3の値CSは

$$CS = 8.38 \times 10^{-5} (\text{F/m}^2) \times (q \times 1 \times 10^{-6})^2 \\ = 8.38 \times 10^{-17} \times q^2 (\text{F})$$

となる。また、2層目の金属層からなる中央の電極402とその近接辺と平行にP2μm離れた位置に配線され

$$C1 = 2.24 \times 10^{-11} \times P2^{-1} (\text{F/m}^2) \times q \times 10^{-6} (\text{m}) \\ = 2.24 \times 10^{-17} q / P2 (\text{F})$$

で与えられる。従って、もし、中央の電極402が接続された節点N1が電位保持状態となって節点(N2, N3)以外と電気的に分離されている場合その等価回路は図13で与えられる。ここで、N2は1、3層目金属層からなる容量電極が接続される節点、N3はP2μm離

構成である。また、通常絶縁膜11および12はそれぞれ同程度の膜厚に設定される。従って、この技術で形成された容量素子の単位容量値は、図11に示す容量素子310に比べ比較し、約2倍になる。しかし、この技術では容量部の面積を十分に小さくすることが出来ないことを以下で定量的に説明する。

【0010】ここでは、定量的な計算を行うために、1層目と2層目の金属層間の絶縁膜11が厚さ0.7μmのシリコン酸化膜、2層目と3層目の金属層間の絶縁膜12が厚さ1μmのシリコン酸化膜、1層目金属層の配線間隔最小値が0.4μm、2層目金属層の配線間隔最小値が0.5μm、3層目金属層の配線間隔最小値が0.6μm、1層目金属層の膜厚が0.3μm、2層目金属層の膜厚が0.65μmおよび3層目金属層の膜厚が0.8μmである現状で生産が可能なプロセスを仮定する。また、容量値の計算には簡単化のため平行平板近似を用いることにする。次に、各単位容量の大きさを計算すると、まず、1層目金属層と2層目金属層の重なった部分からなる容量410の単位面積当りの容量値は、

なる容量411の単位面積当りの容量値は、

【0012】従って、図12に示すようなサンドウィッチ構造の容量素子を作ると、その単位面積当りの容量値は

た2層目の金属配線との間の容量C4の値C1は

れて配線された2層目金属配線が接続される節点である。中央の電極402からP2μm離れた位置に配線された2層目の金属配線の電位がVnだけ変化した時の中央の電極402の電位変化ΔVは

$$\Delta V = C1 \cdot Vn / (C1 + Cs) = 2.24 \times 10^{-17} q P2^{-1} Vn / (2$$

$$2.4 \times 10^{-17} q P 2^{-1} + 8.38 \times 10^{-17} q^2) \\ = 2.24 V n / (2.24 + 8.38 P \cdot 2 q) \dots (1)$$

で与えられる。

【0013】ところで、アナログ・デジタル混在半導体集積回路の一例であるチョッパ方式比較器を利用した逐次比較型A/D変換器内蔵CMOSシングルチップ・マイコンを例にとると、その内蔵A/D変換器の分解能は10bit以上のものが要求されている。通常参照電圧は1Vから電源電圧程度に設定されるが、仮に1Vと

$$P 2 \cdot q > 0.267 (1000 V n - 2.24) \dots (2)$$

でなければならないことになる。

【0014】ここで、この制約条件がどの程度のものであるか見るために、2つのケースについて計算してみる。まず、はじめに間隔P2の値を最小値である0.5μmとした場合について、qの値を求めると、(2)式より

$V n = 3$  (V) のとき、 $q > 1600$

$V n = 0.01$  (V) のとき、 $q > 4.14$

となる。容量素子410および411にP2=0.5μm離れて配線された配線がデジタル信号配線で、電源電圧が3(V)の場合には上記より、容量素子(410, 411)の面積は1600μm×1600μmより大きくしなければならなくなる。

【0015】また、容量素子の周囲を電位変化が10mVと安定した電源配線でシールドする場合には、その電源配線からのノイズのみ考慮した場合には、容量素子の大きさは4.14μm×4.14μmより大きければよいことになるが、そのシールド配線の外側の配線からの影響も、シールドがない場合(1/10)程度の影響を与えること、また、ここでは、同層配線間の影響のみを考慮し、かつ、平行平板近似を用いていることなどから、実際には、この値の数倍から10倍程度の大きさが必要になる。

【0016】さらに、ここでは、容量素子の一辺についてのみ考えているが、他の三辺についても同様に考慮する必要がある。

【0017】また、大規模集積回路では電圧変化を10mVより小さくすることは非常に困難である。次の試算として、間隔P2をP2=qとした場合の電位変化Vnについて考えてみると、

$V n = 3$  (V) のとき、 $P 2 = q > 54.8$

$V n = 0.01$  (V) のとき、 $P 2 = q > 1.44$

となる。 $V n = 3$  (V) と考える時は、前試算と同様、電源電圧3Vでデジタル信号配線を想定していることになるが、本試算では前試算よりは小面積となるが、容量部と2層目のデジタル信号配線とは50μm以上離す必要があり、4辺全てについて考えると、150μm×150μm程度以上の面積を容量のためだけに占有することになる。また、電圧変化VnをVn=0.01(V)の配線でシールドすれば、シールド配線の配線幅、シー

すると10bit分解能の特性を得るためには、節点N1をチョッパ方式比較器の容量結合後の入力端子とすると(1)式で与えられる電位変化は、

$$(\text{参照電圧}) / 2^{10} = 1 \text{ V} / 1024 \approx \text{mV}$$

より小さいものでなければならない。従って、 $\Delta V < 1 \text{ mV}$ より

ルド配線と他の信号配線との配線間隔を無視して、4.5μm×4.5μm程度を容量のために最低必要とすることになるが、シールド配線のさらに外側のデジタル信号配線との間隔などを考えると、実際には、10~20μm四方程度を容量のためだけに必要とすることになる。

【0018】尚、さらに加えて注意しなければならないのは、(1)式がC1とC1+C2の比から成り立っていることである。つまり、これは上記の試算で算出した容量素子のためだけに必要とされる面積は、半導体集積回路の製造技術が進歩して微細化が進んでも、アナログ回路用の容量の面積は小さく出来ないということである。

【0019】以上で、特開昭59-55049号公報に開示される技術では十分に容量の面積を小さく出来ないことを述べたが、この従来例では高速性及び基板ノイズに関しても問題があることを次に述べる。

【0020】それは図12における1層目の金属層401と分離酸化膜10をはさんだ基板との間の寄生容量412が存在していることである。前述した様な設計ルールの製造プロセスの場合、酸化膜厚10は300~400nmに設定されるため寄生容量412は電極(401, 403)側につく主要な寄生容量となる。このため、容量素子を含んだ回路の動作速度が制限されたり、他の回路で発生したノイズの影響を基板を通じて受けたりした。

【0021】これに関しては、特開昭63-108763号公報に開示される技術による対策が考えられる。これを図14を参照して説明する。ここではP型基板を用いたCMOSプロセスの場合で説明する。4はP型基板、5はP型基板4上に通常PMOSFETを形成するために形成されるNウェル、6は2層目の金属配線層2とNウェル5とのオーミック接続を行うためにNウェル5中に設けられた高濃度N型拡散層22は金属配線2と拡散層6を接続する為のビアホール部分であり、その他は図12に示す容量素子と同様に、1は1層目金属配線層であるゲートポリシリコン層、3は3層目金属配線層、11は1層目と2層目金属配線層間の層間絶縁膜、12は2層目と3層目金属配線層間の層間絶縁膜、10は絶縁分離酸化膜、420は1層目と2層目の金属配線

層接続のためのビアホール部分、421は2層目と3層目の金属配線層接続のためのビアホール部分である。

【0022】この第2の従来技術の容量素子は、1層目金属からなる容量電極部分501と基板4との間に2層目金属からなる他方の容量電極502と接続されたNウェル拡散層5が存在するため、1層目金属からなる容量電極501と基板4との間に寄生容量は存在しないことになる。さらにNウェル5と1層目金属からなる容量電極501との間にも新たに容量(501, 511)と並列接続された容量512が形成されるため、単位容量をさらに増加させることが出来る。しかし、この場合もNウェル5と基板4の間の接合容量が存在することと、Nウェル5と1層目金属を電極とし酸化膜10を容量絶縁膜とする容量がMOS容量であるためにバイアス依存性が存在することが問題となる。

【0023】

【発明が解決しようとする課題】しかしながら、これら従来の容量素子では、10bit程度の分解能のA/D変換器等のアナログ回路をデジタル回路と混在させて集積化を行う場合、周辺の信号線等からの容量的結合による干渉防止のためプロセス工程を追加して単位容量を増加させたり、容量の面積を大きくするか又は他の信号線との距離を大きく離す為に容量部分の面積を大きくしなければならぬという問題点があった。また、単位容量を十分に大きく出来ない場合には、基板と容量電極との間の容量のために、基板を通じてのノイズが問題となったり高速動作が出来ないという問題点があった。

【0024】

【課題を解決するための手段】本発明の半導体集積回路は、第1導電型の半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された導体層と、この導体層の下方の前記第1導電型の半導体基板表面に形成された第2導電型の不純物拡散層を有し、前記第2導電型の不純物拡散層が電気的に非接続の構成である。

【0025】また本発明の半導体集積回路は、第1導電型の半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜上に形成された導体層と、この導体層の下方の前記第1導電型の半導体基板表面に形成された第2導電型の不純物拡散層を有し、前記第2導電型の不純物拡散層が高抵抗で定電圧源に接続される構成とすることもできる。

【0026】さらにまた、本発明の前記高抵抗がオフ状態のMOSFETである構成とすることもできる。

【0027】さらに、本発明の複数の積層された導体層を有し、前記導体層の奇数番目の層が同電位となる様に接続された容量素子を持つ半導体集積回路において、前記導体層の少なくとも1辺に平行配置したビアホールにより、前記容量素子となる前記導体層の最下層とこの最下層以外の奇数番目の層を接続する構成とすることもで

きる。

【0028】またさらに、本発明の半導体集積回路の前記容量素子を第1導電型の半導体基板表面に形成された電気的に非接続の第2導電型の不純物拡散層上に絶縁膜を介して形成した構成とすることもできる。

【0029】さらに、本発明の前記容量素子を第1導電型の半導体基板表面に形成された高抵抗で定電圧源に接続される第2導電型の不純物拡散層上に絶縁膜を介して形成した構成とすることもでき、さらにまた、本発明の半導体集積回路の前記容量素子を、第1導電型の半導体基板表面に形成されたオフ状態のMOSFETで定電圧源に接続される第2導電型の不純物拡散層上に絶縁膜を介して形成した構成とすることもできる。

【0030】

【作用】本発明の半導体集積回路の容量素子は一方の電極が他方の電極により、その上下四方の全てあるいは、その上下の全て及び四方の大部分を囲む構成であり、また、電極の直下の基板表面に、フローティングあるいは高抵抗で定電圧源に接続された基板と逆導電型の不純物拡散層を備え、容量素子の電極はこの容量素子の周囲の信号配線からのノイズの影響を受けず所望の容量値を有する。

【0031】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の半導体集積回路の容量素子の平面図および断面図である。図1(a)はその平面配置図、図1(b)は図1(b)中のX-X'線での断面図で、図1(c)はY-Y'線での断面図である。

【0032】この実施例は、シリコン基板4をLOCOS法等で酸化形成された素子間絶縁分離シリコン酸化膜10と、1層目金属1と2層目金属2との間の層間絶縁膜11と、2層目金属2と3層目金属3との間の層間絶縁膜12と、容量電極直下のシリコン基板4上に形成されたシリコン基板4とは逆導電型のフローティング状態のウェル拡散層5とを備え、MOS技術では高濃度に不純物をドーピングされたポリシリコンまたはポリサイドからなる1層目金属層1をパターニングして形成した最下層電極101とパターニングされた2層目金属層2からなるもう一方の電極102とを有し電極101と電極102とが重なった部分に容量110が形成され、3層目金属層3をパターニングして形成された電極103と電極102とが重なった部分に容量111が形成される構成である。

【0033】この実施例は、通常のCMOSプロセス工程追加することなく形成される。

【0034】さらに、本実施例は、2層目金属層2からなる容量の一方の電極102が1層目金属および3層目金属からなるもう一方の電極101および103のそれぞれによって、電極102の引き出し部分を除き上下・



四方の全てを完全に囲まれる構成である。従って、この中央の電極102は他方の容量電極以外との容量的結合が、引き出し部分を除き、完全に0となっている。

【0035】さらに、それぞれ1層目金属1と2層目金属2と3層目金属3を接続するためのビアホール部分(20, 21)を有し、このビアホール20および21は、本実施例では1層目金属電極101と3層目電極103を接続する役目を果している。これには1層目金属と3層目金属を直接接続する技術があればそれを用いてもよい。本容量素子は、容量素子110と容量素子111とが並列接続される。

【0036】1層目金属層1および3層目金属層3のそれぞれからなる上下の電極101, 103は従来例と同様に他の信号線と容量的結合を持つことになるが、容量の一方の電極の他の信号線との結合を0にすることが出来る本発明の第1の利点が技術的に重要となる場合があることを次に説明する。

【0037】図2はA/D変換器等でしばしば用いられチョッパー型比較器の回路例と動作図を示したものである。図2(a)が回路図であり、図2(b)が動作波形図である。図2(a)中で容量C1およびC2のそれぞれは図1に示す容量素子に対応し、PMOSFET(M1, M2)およびNMOSFET(M3, M4, M5)で差動アンプを構成している。NMOSFET(M6), PMOSFET(M7)およびNMOSFET(M8), PMOSFET(M9)はそれぞれアナログスイッチを構成しており、このアナログスイッチは、そのオン/オフを制御する信号(207, 208)と第1のアナログ入力節点210と、第2のアナログ入力節点211を有し、NMOSFET(M10)とPMOSFET(M11)およびNMOSFET(M12)とPMOSFET(M13)からなる2つのアナログスイッチにより、容量C1への接続を切り換える。さらに、その2つのアナログスイッチのオン/オフを制御する信号(212, 213)で節点(202, 206, 209)はそれぞれ定電圧源に接続される。特に節点206は差動アンプの回路電流を決めるものであり、また、節点209は差動アンプの同相入力レベルを決めるプリチャージ源である。尚、信号208は信号207の逆相信号であり、また、信号213も信号212の逆相信号である。

【0038】次に動作を図2(b)を参照して説明する。まず、信号207がハイとなり、トランジスタ(M6~M9)からなる2つのアナログスイッチがオンして、差動アンプ入力(204, 205)は定電圧源209(図示してない)の電位にプリチャージされる。この時信号212はローであり、トランジスタM10とトランジスタM11からなるアナログスイッチがオンし、トランジスタM12とトランジスタM13からなるアナログスイッチはオフしており、信号201は第1のアナ

ログ入力210に接続される。信号201の電位は信号207がハイの間に信号210の電位に変化し、従って、信号207がローに変化する直前で容量C1には第1のアナログ入力210とプリチャージ源209との電位差が充電されていることになる。この時、容量C2には節点202と節点209の電位差が充電されている。次に、信号207がローに変化するとトランジスタM6とトランジスタM7およびトランジスタM8とトランジスタM9からなる2つのアナログスイッチがオフし、節点204と節点205は直流的な接続を断たれ、高インピーダンス状態となる。この後、信号212がハイとなり、トランジスタM10とトランジスタM11からなるアナログスイッチがオフし、トランジスタM12とトランジスタM13からなるアナログスイッチがオンして、節点201の接続が第1のアナログ入力210から第2のアナログ入力211へ切り換えられる。よって、節点201は第1のアナログ入力の電位から第2のアナログ入力の電位へ変化する。この時、節点204は電荷の充放電通路がないため、容量C1の存在によって節点201と同じ方向に電位が変化することになる。節点205は、節点202が定電圧源で変化しないので、そのままの電位を保ったままである。従って、節点204と節点205の間に電位差が発生し、それがトランジスタ(M1~M5)からなる差動アンプによって増幅され、出力節点203の変化となる。通常は図2(a)に示される回路では電圧ゲインが不十分のため出力節点203にさらにアンプを接続するが、ここでは省略して説明した。

【0039】また、節点205を容量C2を通して節点202と接続することおよびトランジスタM8とトランジスタM9からなるアナログスイッチを通してプリチャージする理由は、トランジスタM6とトランジスタM7からなるアナログスイッチがオン状態からオフ状態に変化する時に発生する誤差電圧を相殺するためである。この例で注意すべきことは、容量C1およびC2の一方の電極である節点201と節点202とは直接またはアナログスイッチを通して常に低インピーダンス源に接続されているのに対し、節点204と節点205とは節点207がローとなった後は高インピーダンス状態となるので他の信号線等からのノイズに対して非常に弱いということである。このような場合、容量(C1, C2)の一方の電極だけでも他の信号線等から完全に分離することが出来れば、その一方を高インピーダンス状態となる節点204および節点205のそれぞれに接続することによって、他の信号線の配線を容量(C1, C2)から大きく離したり、または、容量C1, C2の容量値を大きくする、すなわち面積を大きくする必要がなくなる。

【0040】次に、本実施例の第2の利点について説明する。それは、図1に示される容量電極直下に存在する基板4と逆導電型のフローティング状態にされたウェル拡散層5の存在によって得られるものである。

【0041】これを等価回路図である図3を参照して説明する。前述したようにこの容量素子は、1層目金属1と2層目金属2との重なり部分に形成される容量110と、2層目と3層目金属の重なり部分に形成される容量111と、1層目金属とウェル拡散層5との重なり部分に形成される分離酸化膜10を容量絶縁膜とする寄生MOS容量112と、ウェル拡散層5と基板4との間の寄生接合容量113とを有する。容量113、容量112、容量110および容量111が直列接続され、さらに、容量111の他の端子が容量110と容量112の接続部に接続される。ここで、ウェル5を電極とする容量112と容量113の接続部はフローティング状態になっているので、寄生容量112と113が直列接続されたものが容量110および111の一方の電極と基板4との間に接続されていることになる。従って、図12

$$\epsilon_0 \cdot \epsilon_s \cdot (1\text{m})^2 / (3 \times 10^{-7}\text{m}) \approx 1.15 \times 10^{-4} \text{F/m}^2$$

となる。ここで $\epsilon_0$ 、 $\epsilon_s$ は前述したそれぞれ真空の誘電率、シリコン酸化膜の比誘電率である。よって、電極101と基板4間の単位面積当りの容量値、つまり、電極101とウェル5間の容量とウェル5と基板4間の容量が直列接続された時の単位面積当りの容量値は、ウェル5と基板4間のバイアス電圧が0Vの時、 $[(1 \times 10^{-4} \text{F/m})^{-1} + (1.15 \times 10^{-4} \text{F/m})^{-1}]^{-1} \approx 5.35 \times 10^{-5} \text{F/m}$

となる。これはウェル5が存在しない場合の(1/2)以下の値である。

【0043】電極101および103側につく寄生容量は通常基板5との間のものが大半をしめるので、本実施例の容量を図2に示す回路に適用した場合、信号212がハイとなって節点201の電位が第2のアナログ入力211の電位に到達する速度は約2倍となることになる。容量C1自体はトランジスタM6とトランジスタM7からなるアナログスイッチがオフとなっているのでアナログ入力211から見て負荷容量とはならない。

【0044】本実施例ではウェル5はフローティング状態となっているが、空乏層容量は接合に逆バイアスを強くかけるほど小さくなることを利用すると、電極101と基板4との間の容量は上記試算よりもさらに小さくすることが出来る。つまり、ウェル5を高抵抗で、ウェル5と基板4の接合が逆バイアスとするような定電圧源に接続する。この定電圧源は、例えば、周知の電源でもよい。また、ここで言う高抵抗とは、例えば、図2に示すチョップ型比較器で考えた場合、比較に要する時間よりも、この抵抗とウェル5を電極とする容量つまりウェル5と基板4との間の空乏層容量とウェル5と電極101との間の容量112の和とで発生する時定数を十分に大きくするような抵抗を意味する。

【0045】すなわち、電極101から見て、容量112とウェル5と基板4間の空乏層容量が等価的に直列接続と見なせることを意味する。

の従来例に比べて、容量110および111の一方の電極と基板4との間の容量値が小さくなる。図12に示す従来例では、容量100、101の一方の電極と基板4との間の容量値は容量絶縁膜10とするMOS容量の容量値そのものになってしまう。

【0042】このことを定量的に見るために試算をしてみる。ここでは、膜厚10を300nmとし、また、ウェル5は基板4との間の接合リーク電流により基板4と同電位になっており、その時、つまり0Vバイアス時の基板4とウェル5との間の単位面積当りの空乏容量の値を $1 \times 10^{-4} \text{F/m}^2$ とする。これらの値は前述した従来例での試算時に考えた設計ルールのプロセスに対して妥当なものである。膜厚10は300nmであるので、電極1とウェル5との間の単位面積当りの容量は平行平板近似を用いて

【0046】次に本発明の第2の実施例について説明する。図4は本発明の第2の実施例の半導体集積回路の容量素子の平面配置図および断面図である。図4(a)が平面図で、図4(b)が図4(a)のX-X'線での断面図で、図4(c)がY-Y'線での断面図である。

【0047】この第2の実施例は、2層目の金属2と3層目の電極103とを接続するビアホール121が、1層目の電極101と2層目の金属2とを接続するビアホール20の配置される位置とは異なる位置に配置形成される以外は第1の実施例と同じ構成で同一の構成要素には同一参照番号を付して図示するに留め詳細な説明は省略する。

【0048】本実施例でも中央の2層目金属2からなる電極102は引き出し部分以外の全面、つまり、上下・四方を他方の電極で完全に囲まれている。また、電極直下の基板表面に基板と逆導電型の拡散層5が形成されており、容量電極101の一方をなす1層目金属1と基板4間の寄生容量112が小さくなるので、第1の実施例と同様に本実施例の容量を用いた回路は従来より高速化出来ると同時に基板ノイズに対する感度を下げることが出来る。この実施例は第1の実施例のように1、2層目金属を接続するビアホール20と2、3層目金属を接続するビアホール121を重ねて形成することが出来ない製造技術を用いる場合に有効である。

【0049】次に、本発明の第3の実施例について説明する。図5は本発明の第3の実施例の半導体集積回路の容量素子の平面配置図および断面図である。図5(a)はその平面配置図で、図5(b)は図5(a)中のX-X'線での断面図で、図5(c)はY-Y'線での断面図である。

【0050】本実施例は同じ寸法を有する矩形のビアホール(130、131)を設計基準の最小値になるように近接させて2層目金属2からなる中央の電極102の周囲を取り囲むように配置形成する以外は第1の実施例と



同じ構成で同一構成要素には同一参照を付してある。本実施例では図12に示す従来例のように2層目金属2からなる中央の電極の四方に対して何も対策を施さなかった場合に比べると周囲の信号線等との間の寄生容量は著しく小さくなるため、容量部分の小面積化および低ノイズ化が出来る。また、第1の実施例と同様容量電極直下の基板4の表面上に基板4と逆導電型のウェル拡散層5を形成するため、従来例に比べ高速化、低ノイズ化が出来る。

【0051】次に、本発明の第4の実施例について説明する。図6は本発明の第4の実施例の半導体集積回路の容量素子の平面配置図および断面図である。図6(a)はその平面配置図で、図6(b)は図6(a)のX-X'線での断面図で、図6(c)はY-Y'線での断面図である。

【0052】本実施例は1層目の金属配線からなる電極101と2層目の金属配線2とを接続する矩形形状のビアホール140と2層目の金属配線2と3層目の金属配線3からなる電極103とを接続する矩形形状のビアホール141とが互い違いに平面配置されている以外は第1の実施例と同じ構成で同一構成要素には同一参照符号を付して図示するに留め、その詳細な説明は省略する。

【0053】本実施例は、図5に示す第3の実施例の場合よりもさらに製造技術的な制約が強く、ビアホールは大きさの決まった矩形形状のもののみが許され、かつ、1、2層目の金属配線を接続するビアホールと2、3層目を接続するビアホールを上下に重ねて形成出来ない場合に有効である。

【0054】この実施例の2層目金属2からなる中央の電極102は他方の電極101、103で完全に囲まれているわけではないが、この実施例においても従来の容量に比べ図5に示す第3の実施例と同程度の小面積化、低ノイズ化が出来る。また、電極直下に基板4と逆導電型のウェル拡散層5を形成した効果も第3の実施例と同様である。

【0055】次に、本発明の第5の実施例の半導体集積回路の容量素子について説明する。図7は本発明の第5の実施例の容量素子の平面配置図および断面図である。図7(a)はその平面配置図で、図7(b)は図7(a)図中のX-X'線での断面図で、図7(c)は図7(a)図中のY-Y'線での断面図である。

【0056】この実施例は配線金属配線層を5層以上有する製造プロセスに適應され、シリコン基板4をLOCOS法で酸化形成された素子間絶縁分離シリコン酸化膜10と、1層目金属層1と2層目金属層2との層間絶縁膜11と、2層目金属層2と3層目金属層3との層間絶縁膜12と、シリコン基板4上に形成されシリコン基板4とは逆導電型のフローティング状態のウェル拡散層5とを備え、高濃度に不純物をドーパされたポリシリコンまたはポリサイドからなる1層目金属層1をパターンニング

して形成した最下層電極701と、パターンニングされ2層目金属層2からなるもう一方の電極702とを有し電極701と電極702とが重なった部分に容量素子170が形成され、3層目金属層3をパターンニングして形成された電極703と電極702とが重なった部分に容量素子171が形成され、下層から数えて4層目の金属層7と、5層目の金属層8と、3層目の金属層3と4層目の金属層7との間の層間絶縁膜173と、金属層7と金属層8との間の層間絶縁膜174と、金属層3と金属層7とを接続するビアホール723と、金属層7と金属層8とを接続するビアホール724とを備えて、金属層3と金属層7とが重なった部分に容量素子173が形成され、金属層7と金属層8とが重なった部分に容量素子174が形成される構成である。さらに本実施例は、2層目の電極702と4層目の電極704とがビアホール721および金属層3およびビアホール723のそれぞれで接続され1層目の電極701と3層目の電極703と5層目の電極705とがビアホール720、金属層2、ビアホール721、ビアホール723、金属層7およびビアホール724のそれぞれで接続されているため、容量素子170、容量素子171、容量素子173および容量素子174のそれぞれが全て並列接続される。すなわち、金属層(2, 7)からなる容量素子の一方の電極702、704のそれぞれが引き出し部分を除きもう一方の電極701、電極703および電極705のそれぞれで完全に囲まれる。

【0057】従って、第1の実施例に比べ単位面積当りの容量が大きく出来る。

【0058】次に、本発明の第6の実施例の半導体集積回路の容量素子について説明する。図8はこの実施例の容量素子の平面配置図およびその断面図であり、図8(a)はその平面配置図で、図8(b)は図8(a)中のX-X'線での断面図で、図8(c)は図8(a)中のY-Y'線での断面図である。

【0059】本実施例は、電極702と電極704とをビアホール821、金属配線3およびビアホール823のそれぞれで接続し、ビアホール821およびビアホール823のそれぞれを電極702のほぼ中央に配置する構成以外は第5の実施例と同じ構成であり同一構成には同一参照符号を付してある。すなわち、本実施例は第5の実施例と同様に5層以上の金属層を有する半導体集積回路の場合に有効であり、第5の実施例と比較すると電極の引き出し部分の露出面積が小さくでき周囲の信号配線の影響を少なくなる。

【0060】次に、本発明の第7の実施例の半導体集積回路について図9を参照して説明する。

【0061】図9(a)乃至図9(c)を参照すると、本実施例は電極(101, 103)で周囲を囲まれた電極102の引き出し部分を1層目の金属層920および3層目の金属層921のそれぞれで被った構成以外は第

1の実施例と同一構成で同一構成要素には同じ参照符号を付し、その詳細な説明は省略する。

【0062】本実施例は第1の実施例に比較して、電極(101, 103)で周囲を囲まれた中央の電極102の引き出し部分をも、金属層920および921で被ったことにより、周囲の信号線から電極102への影響を完全に無くしている。

【0063】最後に、本発明の第8の実施例について説明する。図10は本発明の第8の実施例を示す図である。図10(a)は平面配置図で、図10(b)は図10(a)中のX-X'線での断面図で、図10(c)は図10(a)中のY-Y'線での断面図である。

【0064】本実施例は、不純物拡散層5中の表面に形成された不純物拡散層5と同一導電型の高濃度不純物拡散層50と、不純物拡散層5中の表面に形成された不純物拡散層5と逆導電型の高濃度不純物拡散層51とを有し、拡散層51をソース53および54をドレイン54としゲート電極52を具備するMOSFET57を有する構成以外は第1の実施例と同一構成である。MOSFET57は、ピアホール55で不純物拡散層50, 51と金属層1を接続しゲート酸化膜56を有し拡散層50とソース53は金属層1により接続されている。

【0065】通常、MOSFETのオフリーク電流はソースまたはドレイン接合のリーク電流に比べると大きい。従って、本実施例では、MOSFET57のゲート電極52を拡散層50およびソース53のそれぞれを電氣的にショートすることにより、MOSFET57を、いわゆるオフ状態にしたまま拡散層5をドレイン54とほぼ同電位にすることが出来る。

【0066】また、その接続抵抗値はMOSFETのオフ抵抗という非常に高抵抗値なものとすることが出来る。従って、ドレイン54を拡散層5と基板4が逆バイアスとなるような電源に接続することにより、拡散層5と基板4との間の接合を逆バイアスにしてその容量を小さくしつつ、かつ、拡散層5をフローティングに近い状態にすることが出来る。本実施例では、ゲート電極52をソース53とショートしたが、ゲート電極52は、MOSFET57がその抵抗値がオン状態のそれよりも十分大きくなるような状態にバイアスされるような電圧源に接続されれば同様な効果が得られる。

【0067】

【発明の効果】以上説明したように本発明は、一方の電極で他方の電極の上下・四方を囲むことにより、プロセス工程を複雑化することなく容量の面積化が出来るという効果を有する。また、容量電極直下の基板表面に基板と逆導電型の不純物拡散層を形成し、それをフローティングもしくは高抵抗でバイアスすることにより、上下・四方を他方の電極で囲まれていない側の主要な寄生容量である対基板容量を1/2程度以下に出来るため、基板で発生するノイズの影響を1/2程度以下に出来る

同時に、従来より2倍程度以上の高速化が出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体集積回路の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図であり、分図(c)は分図(a)中のY-Y'線での断面図である。

【図2】本発明の実施例の応用回路例であり、分図(a)はその回路図で、分図(b)はその動作波形図である。

【図3】図1に示す本発明の第1の実施例の容量素子の等価回路図である。

【図4】本発明の第2の実施例の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図であり、分図(c)は分図(a)のY-Y'線での断面図である。

【図5】本発明の第3の実施例の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図であり、分図(c)は分図(a)のY-Y'線での断面図である。

【図6】本発明の第4の実施例の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図であり、分図(c)は分図(a)のY-Y'線での断面図である。

【図7】本発明の第5の実施例の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図であり、分図(c)は分図(a)のY-Y'線での断面図である。

【図8】本発明の第6の実施例の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図であり、分図(c)は分図(a)のY-Y'線での断面図である。

【図9】本発明の第7の実施例の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図であり、分図(c)は分図(a)のY-Y'線での断面図である。

【図10】本発明の第8の実施例の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図であり、分図(c)は分図(a)のY-Y'線での断面図である。

【図11】従来の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中X-X'線での断面図である。

【図12】他の従来の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図である。

【図13】容量素子の等価回路図である。

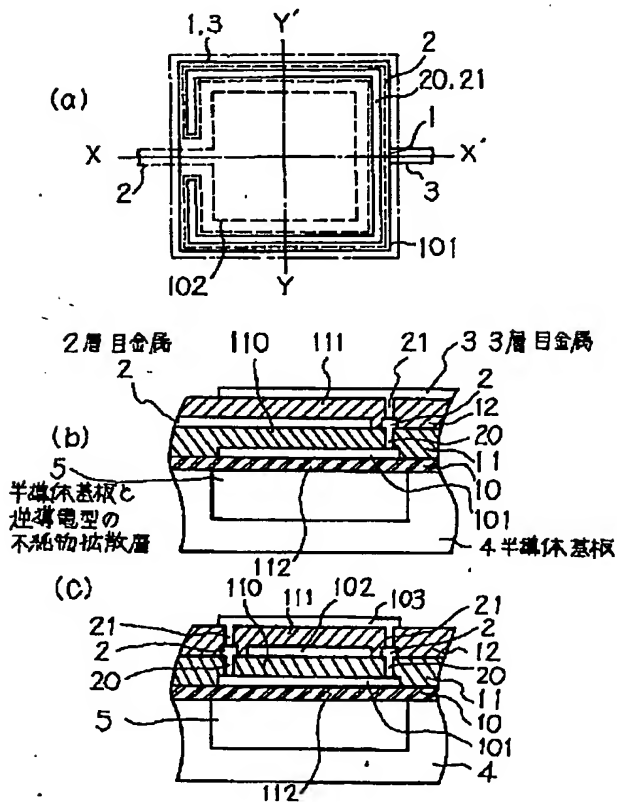
【図14】さらに他の従来の容量素子の構成を示す図で、分図(a)は平面図であり、分図(b)は分図(a)中のX-X'線での断面図である。

【符号の説明】

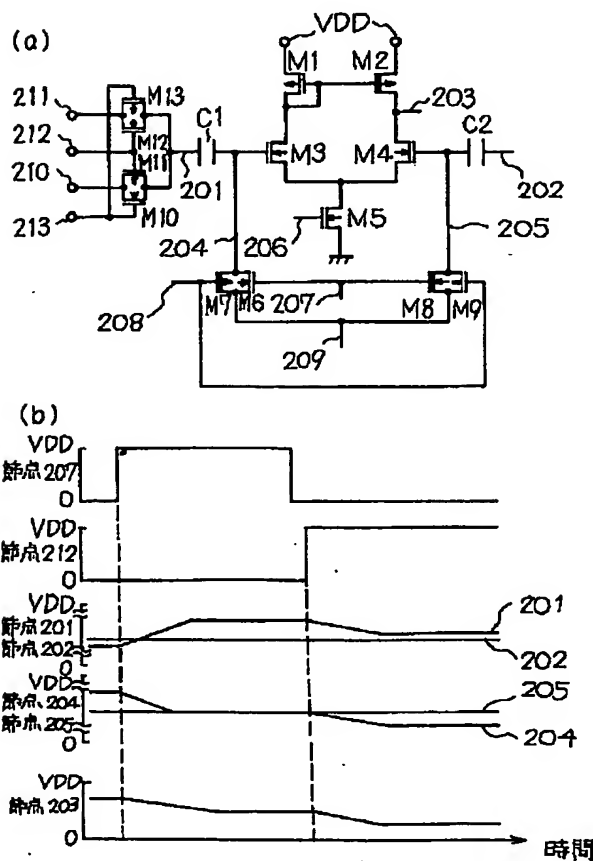
- 1 1層目金属層
- 2 2層目金属層
- 3 3層目金属層
- 4 基板
- 5 基板と逆導電型の不純物
- 7 4層目金属層
- 8 5層目金属層
- 10 シリコン曲
- 11, 12, 13, 14 層間絶縁膜
- 20, 21, 121, 131, 140, 141, 420, 421, 522, 720, 721, 723, 724, 821, 823 ピアホール
- 50, 51 拡散層
- 52 ゲート電極

- 53 ソース
- 54 ドレイン
- 55 ピアホール
- 56 ゲート酸化膜
- 57 MOSFET
- 301, 302, 401, 402, 403, 501, 101, 102, 103, 701, 702, 703, 704, 705, 803 電極
- 110, 111, 112, 170, 171, 172, 173, 174, 181, 183, 310, 410, 411, 412, 510, 511, 512 容量素子
- 201~209 節点
- C1, C2 容量
- M1~M13 MOSFET
- VDD 高電位電源

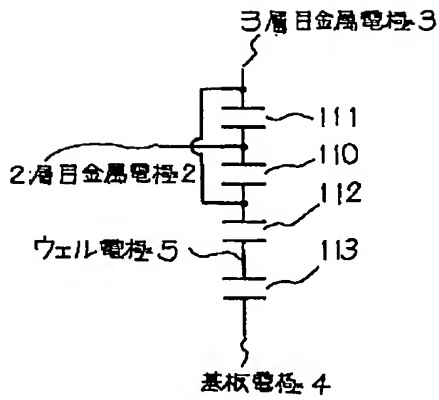
【図1】



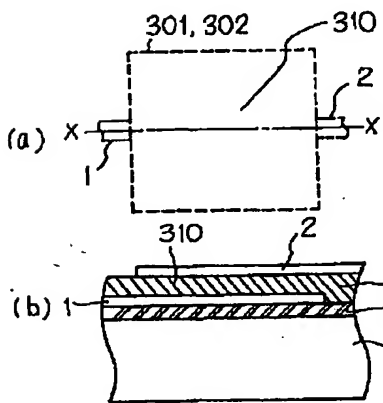
【図2】



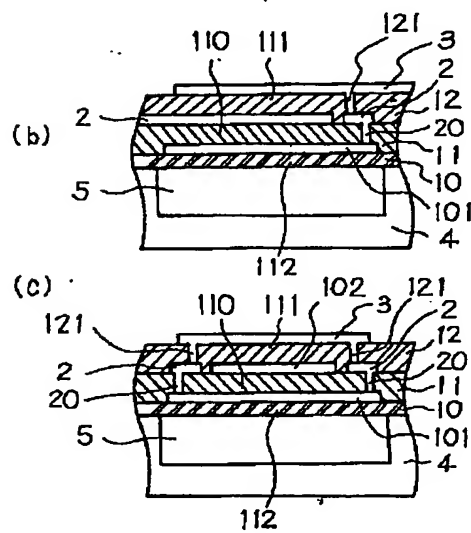
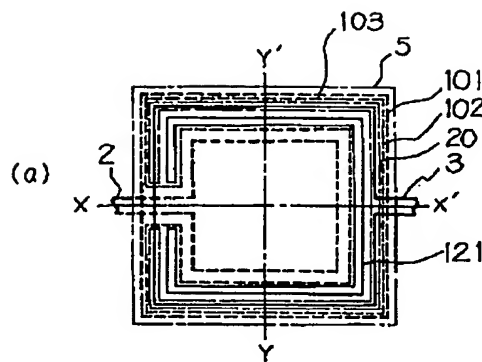
【図3】



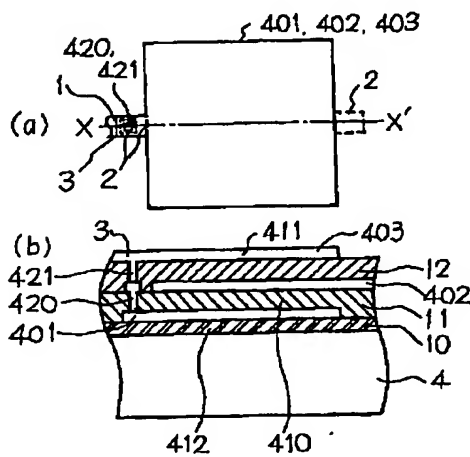
【図11】



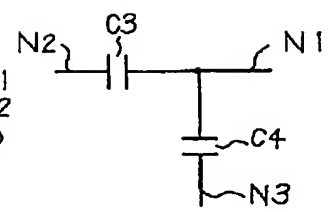
【図4】



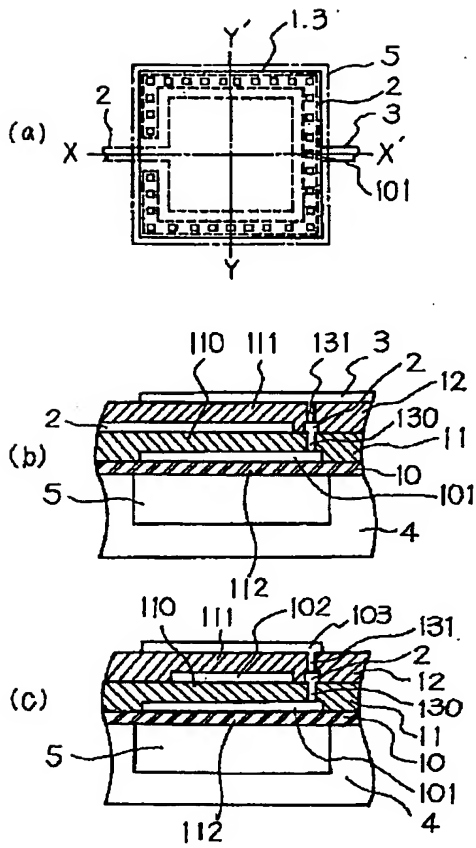
【図12】



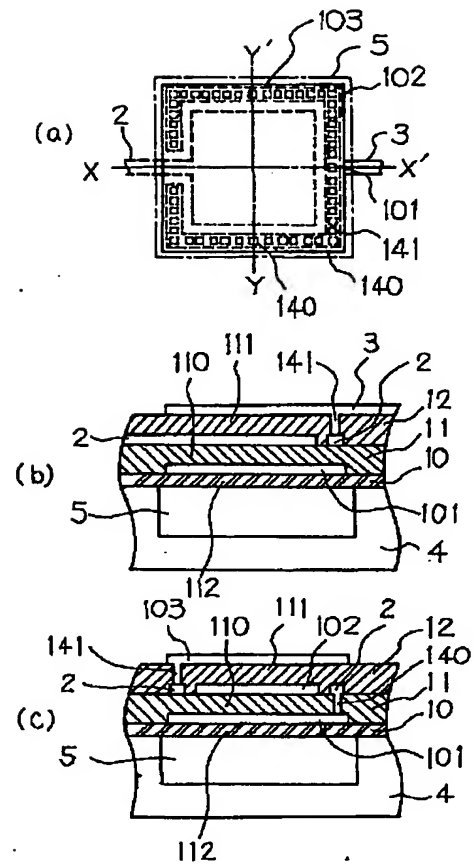
【図13】



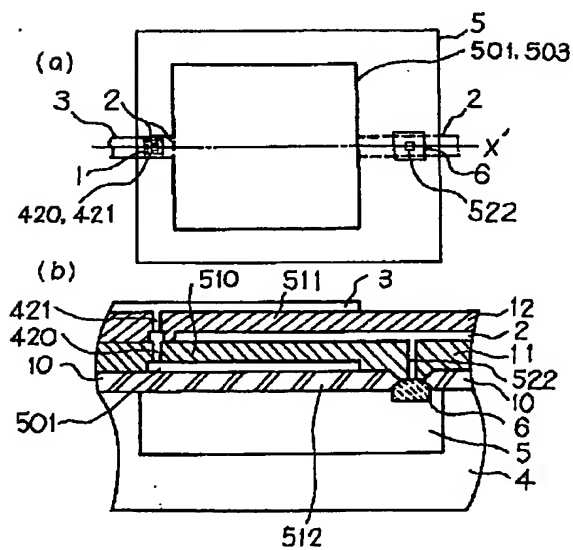
【図5】



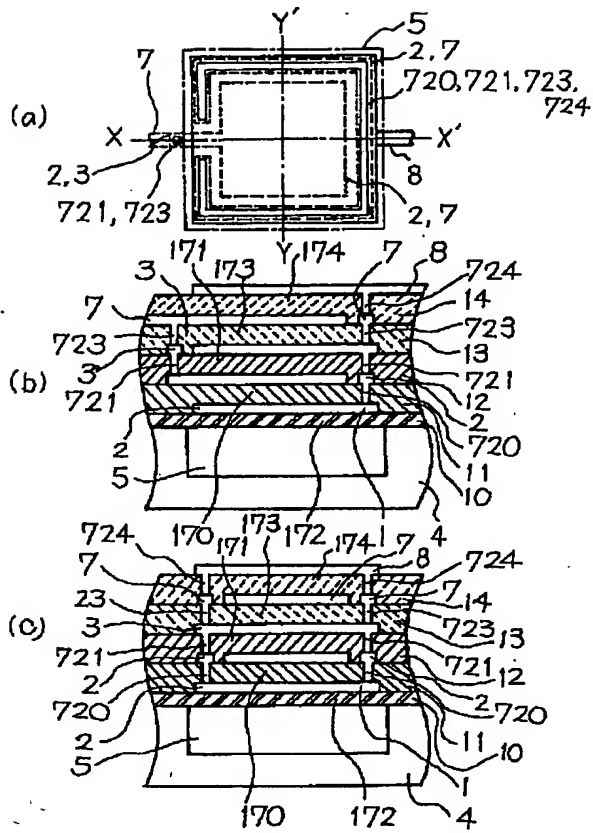
【図6】



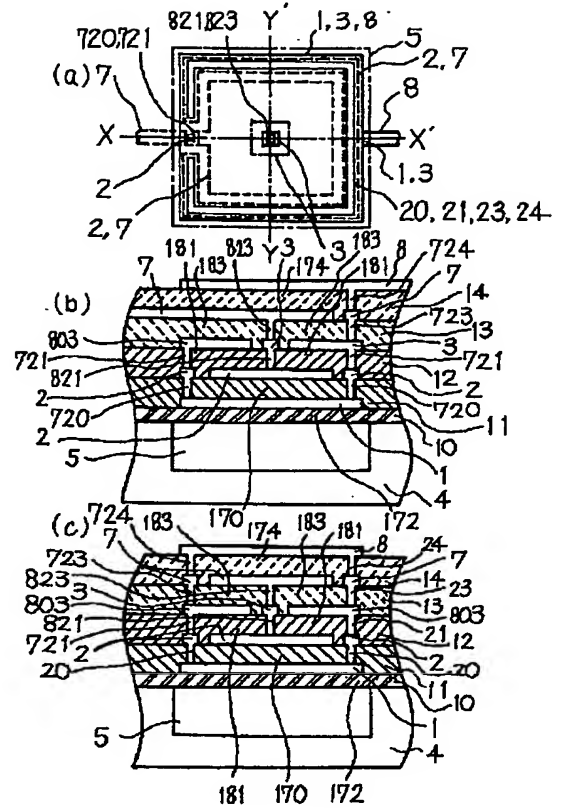
【図14】



【図7】

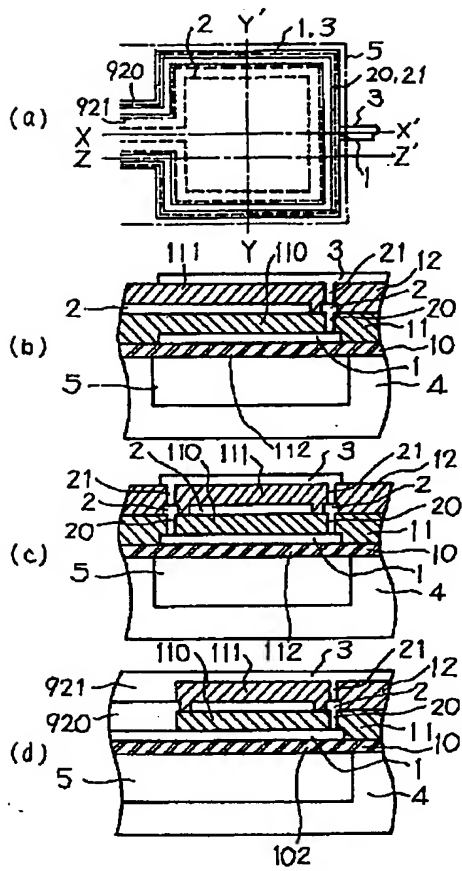


【図8】





【図9】



【図10】

